


OPTICAL SEMICONDUCTOR DEVICE AND FORMING METHOD THEREFOR

Patent Number: JP2001144334
Publication date: 2001-05-25
Inventor(s): TAMEMOTO HIROAKI
Applicant(s): NICHIA CHEM IND LTD
Requested Patent:  JP2001144334
Application Number: JP19990326236 19991117
Priority Number(s):
IPC Classification: H01L33/00
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide an optical semiconductor device, which is almost free of a mounting failure when an LED die is mounted and a method of forming the same.

SOLUTION: An optical semiconductor device is equipped with a package 1 composed of a positive and a negative lead electrode, 2 and 3, and a molded resin 10 and an optical semiconductor die 4 provided with a positive and a negative die electrode, 5 and 6, formed on its main surface, where the semiconductor die 4 is mounted on the lead electrodes 2 and 3 through the intermediary of conductive adhesive members 7 and 8 in a flip-chip mounting manner. The package 1 is provided with a recess 9 between the lead electrodes 2 and 3, and at least the recess 9 is provided at a position making its part face the semiconductor die 4.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-144334

(P2001-144334A)

(43) 公開日 平成13年5月25日 (2001.5.25)

(51) IntCl.⁷
H 0 1 L 33/00

識別記号

F I
H 0 1 L 33/00

テーマコード(参考)
N 5 F 0 4 1

審査請求 未請求 請求項の数 5 O L (全 6 頁)

(21) 出願番号 特願平11-326236

(22) 出願日 平成11年11月17日 (1999.11.17)

(71) 出願人 000226057

日亜化学工業株式会社

徳島県阿南市上中町岡491番地100

(72) 発明者 為本 広昭

徳島県阿南市上中町岡491番地100 日亜化学工業株式会社内

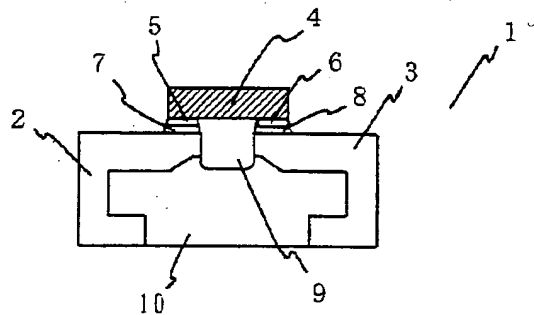
Fターム(参考) 5F041 AA25 DA09 DA43 DA55

(54) 【発明の名称】 光半導体装置及び形成方法

(57) 【要約】

【課題】 LEDダイ実装時の不良が生じにくい光半導体装置及びその形成方法を提供する。

【解決手段】 正及び負のリード電極2、3と成形樹脂10とから形成されてなるパッケージ1と、正及び負のダイ電極5、6が一つの主面側に共に形成されてなる光半導体ダイ4とを備え、該光半導体ダイ4が導電性接着部材7、8を介して上記リード電極上にフリップチップ実装された光半導体装置であって、上記パッケージ1は、上記リード電極の正極2と負極3の間に凹部9を有し、該凹部9の少なくとも一部が上記光半導体ダイ4と対向する位置に形成されている。



【特許請求の範囲】

【請求項1】 正及び負のリード電極と成形樹脂とから形成されてなるパッケージと、正及び負のダイ電極が一つの主面側に共に形成されてなる光半導体ダイとを備え、該光半導体ダイが導電性接着部材を介して上記リード電極上にフリップチップ実装された光半導体装置であって、
上記パッケージは、上記リード電極の正極と負極の間に凹部を有し、該凹部の少なくとも一部が上記光半導体ダイと対向する位置に形成されていることを特徴とする光半導体装置。

【請求項2】 上記光半導体ダイは、透光性の封止部材で覆われている請求項1記載の光半導体装置。

【請求項3】 上記パッケージの成形樹脂は、液晶ポリマー樹脂、ポリブチレンテレフタレート樹脂、及びセラミックスからなる群から選択される1つからなる請求項1記載の光半導体装置。

【請求項4】 上記凹部は、その底部において、凹部底面を正極側と負極側とに分断する遮断壁が形成されている請求項1記載の光半導体装置。

【請求項5】 金型に成形上型と正及び負のリード電極とを設置し、該金型中に成形樹脂を射出してパッケージを一体形成し、正及び負のダイ電極が一つの主面側に共に形成されてなる光半導体ダイを、導電性接着部材を介して上記リード電極上にフリップチップ実装する光半導体装置の形成方法であって、

上記一体成形は、成形上型として、パッケージに凹部を形成可能な突起を有した突起付成形上型を用いて行われ、該突起は、リード電極の正極と負極の間と対向し、かつ少なくとも一部が光半導体ダイが実装される位置と対向していることを特徴とする光半導体装置の形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、各種インジケータ、ディスプレイ、光プリンターの書き込み光源及び液晶のバックライト等に利用可能な光半導体ダイを用いた光半導体装置に関し、特に、LEDダイがフリップチップ実装された光半導体装置に関するものである。

【0002】

【従来の技術】 今日、LEDダイを用いた光半導体装置が、種々の光源として広く利用されている。LEDダイは小型で効率が高く、鮮やかな色の発光をする。また、低消費電力であるほか、半導体発光素子であるので玉切れなどの心配がない。さらに、初期駆動特性が優れ、振動やON/OFF点灯の繰り返しに強いという特性を有していることから、今後更に広く用いられるものと考えられる。LEDダイは約300 μ m角程度と極めて小さいものであり、通常、リード電極に接続された後、樹脂で封止されて用いられるが、最近では、外部との導通が

可能なリード電極が埋め込まれたパッケージ内部にLEDダイを配置させた光半導体装置が多く使用されるようになってきている。

【0003】 そのような光半導体装置の一般的な構造は、LEDダイを収納することが可能な大きさの凹部を有するパッケージと、そのパッケージに埋め込まれたリード電極とを有しており、そのリード電極は、LEDダイと接続するために、凹部の底面で一部が露出されている。

【0004】 このように作製されたパッケージに、LEDダイをダイボンド樹脂等で固定して、露出されたリード電極とLEDダイの電極とを、例えば金属ワイヤによって接続した後、LEDダイを保護するために透明性エポキシ樹脂で被覆することにより、光半導体装置が作製される。こうして作製された光半導体装置は、他のチップタイプ部品と同様の方法で表面実装される。リード電極を介して電流が供給されるとLEDダイが発光し、発光された光はLEDダイから直接又は凹部の側面で反射してパッケージの外部へ放出される。

【0005】 近年、LEDダイが様々な用途に使われるようになるにつれ、ダイ・ボンディングの方法も多様化し、電気的接続や取り扱いを容易にするために様々な工夫がなされている。そのなかで、一方の主面側に正負の電極（ダイ電極）が形成されたLEDダイを、その電極形成面を下にして、パッケージに形成された正負のリード電極上に設置し、それぞれの電極の接合には、接着剤として例えばはんだのような導電性の部材を用いて導通するようになされた、いわゆるフリップチップ実装タイプのものは、ワイヤ・ボンディングが不要であるため、断線等の問題が生じず、取り扱いが容易である。

【0006】

【発明が解決しようとする課題】 しかしながら、LEDダイを実装する際にその搭載位置がズレる場合がある。これは、LEDダイの大きさが約300 μ mと極めて小さいために起こる問題で、LEDダイ搭載機の精度を上げるにも現時点では限度がある。LEDダイの搭載位置がずれると、ショート不良を起こしたり、また、リード電極とダイ電極が接合しなかったりする不良を起こす原因になる。ここで、ワイヤ・ボンディングタイプの光半導体装置は、LEDダイ搭載位置のズレを補正することができるという利点があるが、工程に要する時間を考慮に入れると、やはりフリップチップ実装タイプのものが望ましい。

【0007】 フリップチップ実装タイプの光半導体装置で、ダイ電極とリード電極を確実に接合させるために、パッケージにダイ電極が嵌入できるような凹部を設け、この凹部内にリード電極を形成させる等の方法を用いれば、LEDダイを正確にかつ確実に所定の位置に搭載することができる。しかし、この方法では、ダイ電極とパッケージ凹部の位置がその形成時点でズレていた場合に

は、接合時に補正することは不可能であるので、LEDダイ搭載位置を嵌合により決めてしまう方法は、結局不良を減らすことはできない。

【0008】そこで、上記のようにリード電極をLEDダイ実装面を窪ませた凹部内に形成させるのではなく、LEDダイ実装面と同一面上にリード電極を形成させ、このリード電極上にLEDダイをフリップチップ実装させるタイプのものを考えてみる。パッケージとしては、成形樹脂とリード電極とを一体成形してなる形式のものが成形が容易であり、後で形成させる工程を設ける必要がないので、時間的にも短縮でき好都合であるので、よく用いられている。しかし、通常この一体成形の方法は、パッケージ成形時に金型内にリード電極となる金属片を設置し、そこに溶融した成形樹脂を充填するだけなので、リード電極の位置は固定されていない。リード電極は金属片なので、大きくは変形しないものの、成形樹脂充填時にその充填圧等により位置がズレてしまい、正極と負極の間隔にはバラツキが生じてしまう。このバラツキもLEDダイ搭載時にカバーしなければならず、LEDダイ搭載機にはやはり極めて高精度なものが必要であった。

【0009】さらにこのタイプの場合、たとえリード電極上にLEDダイが正確に配置されたとしても、接合時に均等な押力が加わらなかったり、あるいは導電性接着部材の量が正極側と負極側とで違っていたりすると、LEDダイが動いて所定の位置からズレてしまう。このような場合、隣接する電極にまで導電性接着部材が広がり、ショート不良を起こすという問題が起これるので、実装作業には細心の注意が必要であった。

【0010】そこで、本発明は、フリップチップ実装型の光半導体装置において、LEDダイ実装時の不良が生じにくい光半導体装置及びその形成方法を提供することを目的とする。

【0011】

【課題を解決するための手段】即ち、本発明に係る光半導体装置は、正及び負のリード電極と成形樹脂とから形成されてなるパッケージと、正及び負のダイ電極が一つの主面側に共に形成されてなる光半導体ダイとを備え、該光半導体ダイが導電性接着部材を介して上記リード電極上にフリップチップ実装された光半導体装置であって、上記パッケージは、上記リード電極の正極と負極の間に凹部を有し、該凹部の少なくとも一部が上記光半導体ダイと対向する位置に形成されていることを特徴とする。このように構成することにより、LEDダイを実装する際に、導電性接着部材パッケージ成形時に生じたリード電極の位置ズレや、LEDダイ搭載時に不均等な押圧が掛かって生じたLEDダイの位置ズレにともなう導電性接着部材のはみ出しによる電極間のショート不良を防ぐことができる。

【0012】また、本発明に係る光半導体装置では、上

記光半導体ダイは、透光性の封止部材で覆うことができる。

【0013】さらに、本発明に係る光半導体装置では、上記パッケージの成形樹脂は、液晶ポリマー樹脂、ポリブチレンテレフタレート樹脂、及びセラミックスからなる群から選択される1つを用いて構成することができる。

【0014】またさらに、本発明に係る光半導体装置では、上記凹部は、その底部において、凹部底面を正極側と負極側とに分断する遮断壁が形成されていてもよい。

【0015】また、本発明に係る光半導体装置の形成方法は、金型に成形上型と正及び負のリード電極とを設置し、該金型中に成形樹脂を射出してパッケージを一体形成し、正及び負のダイ電極が一つの主面側に共に形成されてなる光半導体ダイを、導電性接着部材を介して上記リード電極上にフリップチップ実装する光半導体装置の形成方法であって、上記一体成形は、成形上型として、パッケージに凹部を形成可能な突起を有した突起付成形上型を用いて行われ、該突起は、リード電極の正極と負極の間と対向し、かつ少なくとも一部が光半導体ダイが実装される位置と対向していることを特徴とする。このように形成させることにより、リード電極の正極と負極の間に、導電性接着部材が広がっていくことができる凹部を、パッケージ成形時に同時に形成させることができる。また、成形上型の突起にリード電極を突き当てながら成形することで成形樹脂充填時にリード電極の位置が対極側にずれてショート不良を起こすこと、及びリード電極が前記とは逆方向にズレて電極間隙間が広がることを防ぐことができる。

【0016】

【発明の実施の形態】以下、図面を参照して本発明に係る実施の形態のチップタイプ光半導体装置について説明する。本発明の光半導体装置は、図1に示すように、パッケージ1に正及び負のリード電極2、3が設けられ、その上にLEDダイ4がフリップチップ実装されている。ダイ電極7、8は導電性接着部材7、8によってリード電極2、3と導通するようになっている。ここで、本発明の実施の形態の光半導体装置においては、正のリード電極2と負のリード電極3の間に凹部9を有し、該凹部の少なくとも一部がLEDダイ4と対向する位置に形成されている。これによって、本実施の形態の光半導体装置は、LEDダイ4実装時に接着剤及びLEDダイとリード電極間の電気的導通を得るために用いる導電性接着部材7、8が、LEDダイ4実装時に押圧されて広がっていく際に容量の大きな凹部9内に導入されていくので、ショート不良を防ぐことができるものである。

【0017】以下、本実施の形態の光半導体装置の各構成について詳述する。尚、図1は本実施の形態の光半導体装置の模式的平面図であり、図2は図1のX-X'線についての模式的断面図であり、図3及び図4は本実施

の一実施例を示す光半導体装置の模式的断面図である。また、図5は、本実施の形態の光半導体装置の形成方法を説明するための模式的断面図であり、図6は図5と比較するための、従来の光半導体装置の形成方法を説明するための模式的断面図である。

【0018】(パッケージ1)パッケージ1は、成形樹脂として、液晶ポリマーやポリブチレンテレフタレート(PBT)樹脂、ポリアミド樹脂、ABS樹脂、メラミン樹脂等の絶縁性支持部材を用いることができる。図5に示す金型16内に成形上型14及び正負のリード電極2、3を所定の位置に設置し、更に成形上型14を設置した後、下方すなわち符号Aを付して示す矢印の方向から溶融した成形樹脂10を射出することにより作製される。金型16内に射出された溶融成形樹脂10は、冷却後金型16から取り出され、成形上型14を取り外すことによってリード電極2、3がそれぞれ所定の形状に加工されたパッケージ1となる。

【0019】本実施の形態において、パッケージ1は、リード電極の正極2と負極3の間に凹部を有し、この凹部の少なくとも一部はLEDダイと対向する位置に形成されている。このことにより、LEDダイ実装時に接着剤として用いられる導電性接着部材7、8が押圧されて広がった場合に起こるショート不良を防ぐことが可能となる。正極2と負極3の間に十分な間隔をとれば、ショート不良を防ぐことはできるが、それではパッケージを大きくするなどの対策が必要であり、光半導体装置を小型化できなくなってしまうのに対し、本発明の実施の形態のごとき凹部9を、正負のリード電極間に設けることで、容易にショート不良を防ぐことができる。

【0020】凹部9は、リード電極の正極2と負極3の間で、少なくとも一部がLEDダイと対向する位置に形成されるが、さらに言えば、LEDダイ4の中央部と凹部9の中央部が重なるような位置に形成されることが好ましい。このように構成されることで、正極側から広がってきた導電性接着部材と、負極側から広がってきた導電性接着部材は、同じようにLEDダイの中心方向に向かうので、LEDダイがズレにくくなる。凹部9のすべてがLEDダイと対向していない、つまり、凹部とLEDダイの中心部がずれていても、そのうちの一部が対向していれば、導電性接着部材は、凹部内に広がっていくことができるので、ショート不良を防ぐことができる。

【0021】また、凹部9は、正極2側及び負極3側から広がった導電性接着部材7、8がくっつかないような形状及び大きさでなければならぬので、好ましくは、図2のごときパッケージ表面に対してほぼ垂直な角度に形成された側面と、パッケージ表面とほぼ水平な角度に形成された底面とを有する形状で、かつ、その容量は導電性接着部材の容積よりも大きく形成させるのがよい。また、図3のように凹部内で導電性接着部材7、8がショート不良を起こさないように、凹部底部を正極側と負

極側に分断するような遮断壁11を形成させてもよい。遮断壁11を図4のように高くして正負のリード電極間に2つの凹部12、13が形成された形態にしてもよい。凹部9内に遮断壁11を形成させることにより、導電性接着部材の広がりを凹部内部においても確実に遮断でき、ショート不良を更に確実に防ぐことができる。凹部の側面が傾斜を持っている場合、極端には底面を有しないような錐状であった場合は、かえって導電性接着部材が凹部側面を滑って広がりやすくなり、ショート不良を起こし易くなってしまうので好ましくないが、上記のように遮断壁11を形成させておけば、ショート不良を防ぐことができる。要は、押圧された導電性接着部材の広がり先(空間)を対極との間もしくは周辺に確保し、この凹部内で導電性接着部材がショートしにくい形状に形成させておけばよい。凹部の形状は、凹部形成方法に応じて都合のよい形状に形成させればよい。

【0022】また、上記光半導体ダイは、例えば図5に示すように透光性の封止部材14で覆われていてもよい。封止部材の具体的な材料としては、主としてエポキシ樹脂、ユリア樹脂等の耐候性に優れた透光性樹脂が好適に用いられる。このように構成することで、外部から保護することができる。また、パッケージに設けられたリード電極2、3は、銅板、リン青銅板、鉄板等の電気良導体金属板から形成することができる。リード電極2、3は、上記パッケージ1の表面に、その一部が露出するように形成され、LEDダイ4と導通可能となっている。

【0023】(成形上型15)本実施の形態においては、上記パッケージ1成形時の成形上型として、電極間に凹部9を形成できるような突起16が設けられた突起付成形上型15を用いることが好ましい。このような突起付成形上型15を用い、矢印Aで示すように成形樹脂を射出することによって、リード電極の正極と負極の間の凹部9を、パッケージ1成形と同時に形成させることができる。もちろん、凹部9は、パッケージ1成形後に削り取る等の方法で形成させてもなんら問題はないが、突起付成形上型15を用いることで、凹部形成工程を別に設ける必要もなく、手間が省ける。

【0024】更に、この突起16があることで、パッケージ1成形時のリード電極2、3のズレをも防ぐことができる。図7のような突起のない成形上型18を用いてパッケージを一体成形する場合、リード電極2、3は金属なので、形が崩れるようなことはまずないものの、溶融した成形樹脂10が金型17内に矢印Aで示されるように射出される際の圧力で、多少は変形する。そのため、リード電極の正極2と負極3間の間隔にバラツキが生じる。場合によっては、極端に間隔が狭くなりこともあり、ショート不良を起こし易くなる。本実施の形態のような突起付成形上型15を用いることで、パッケージ1に凹部9を形成させると共に、電極間に突き出た突起

がリード電極 2、3 を固定し、電極間に一定の間隔を設ける働きをするので、LED ダイ実装時の不良も起こりにくく、安定して光半導体装置を形成することができ

【0025】本実施の形態の突起付成形上型 15 を用いて一体成形する場合、突起 16 の形状が、成形上型を取り外す際に都合の良い形状にしておくことが好ましい。さらに前述したように、凹部の側面が傾斜を有し、傾斜を利用して導電性接着部材が対極側に広がるのを加速するようでは意味がないので、パッケージ表面とほぼ垂直な角度を持った壁面と、パッケージ表面とほぼ水平な角度を持った面を突起部の先端に有することが好ましい。あるいは、凹部 9 の底面を正極側と負極側に分断するような遮断壁が形成されるような形状の突起にすることもできる。遮断壁が形成されるならば、凹部の壁面は傾斜を有していても問題はない。

【0026】(LED ダイ 4) 本実施の形態において、LED ダイ 4 は一方の主面に正電極 5 と負電極 6 とがいずれも形成されている光半導体素子であって、パッケージ 1 に設けられたリード電極 2、3 上に、フリップチップ実装される。

【0027】

【発明の効果】本発明は、リード電極がショート不良を起こすのを防ぐことができ、信頼性の高い光半導体装置を提供することができる。

【図面の簡単な説明】

【図 1】本発明に係る実施の形態の光半導体装置の模式的平面図である。

【図 2】図 1 の X-X' 線についての模式的断面図である。

【図 3】本発明の一実施例を示す模式的断面図である。

【図 4】本発明の一実施例を示す模式的断面図である。

【図 5】本発明の第 2 の実施の形態を示す模式的断面図である。

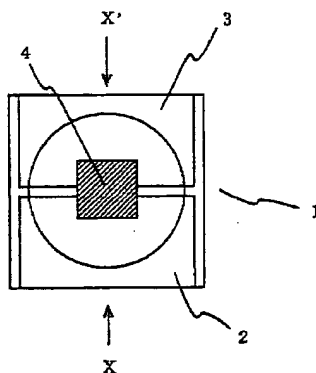
【図 6】本発明の実施の形態の光半導体装置の形成方法を説明する模式的断面図である。

【図 7】本発明の実施の形態の光半導体装置の形成方法を説明する模式的断面図である。

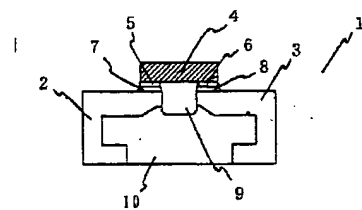
【符号の説明】

- 1・・・パッケージ
- 2・・・リード電極（正極）
- 3・・・リード電極（負極）
- 4・・・LED ダイ
- 5・・・LED ダイ電極（正極）
- 6・・・LED ダイ電極（負極）
- 7、8・・・導電性接着部材
- 9・・・凹部
- 10・・・成形樹脂
- 11・・・凹部内遮断壁
- 12、13・・・凹部
- 14・・・透光性封止部材
- 15・・・突起付成形上型
- 16・・・突起
- 17・・・金型
- 18・・・成形上型

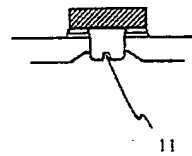
【図 1】



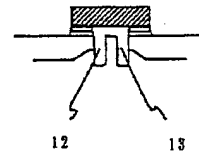
【図 2】



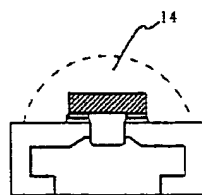
【図 3】



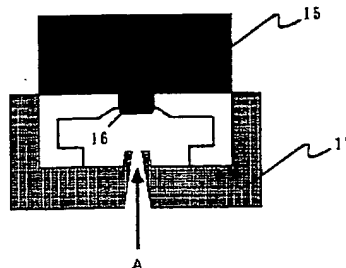
【図 4】



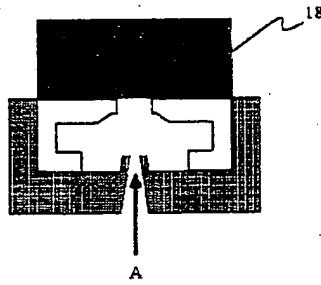
【図 5】



【図 6】



【図7】



THIS PAGE BLANK (USPTO)